

(19)日本国特許庁 (JP)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2522249号

(45)発行日 平成8年(1996)8月7日

(24)登録日 平成8年(1996)5月31日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/78			H 0 3 K 17/78	A
17/687		9184-5K	17/687	Z

発明の数1(全10頁)

(21)出願番号 特願昭61-145697

(22)出願日 昭和61年(1986)6月21日

(65)公開番号 特開昭63-2422

(43)公開日 昭和63年(1988)1月7日

(73)特許権者 999999999

日本電気株式会社

東京都港区芝5丁目7番1号

(72)発明者 小川 兼治

東京都港区芝5丁目33番1号 日本電気株式会社内

(72)発明者 吉野 哲夫

東京都港区芝5丁目33番1号 日本電気株式会社内

(74)代理人 弁理士 越場 隆

審査官 東森 秀朋

(56)参考文献 特開 昭62-172813 (JP, A)

(54)【発明の名称】 ソリッドステートリレー

1

(57)【特許請求の範囲】

【請求項1】半導体発光素子と、該発光素子からの光により起電力を発生する光起電力素子と、該光起電力素子から発生する電圧がゲートに印加されることによって導通状態になる電界効果形トランジスタとを具備し、電界効果形トランジスタが、スイッチング素子として、負荷回路の開閉を行なうソリッドステートリレーにおいて、該電界効果形トランジスタのゲート電極にアノード電極が接続され、またバックゲート電極にカソード電極が直接接続されたサイリスタを有し、且つ、該サイリスタのN極ゲートが、該光起電力素子のアノード電極に接続され、または、該サイリスタのP極ゲートが該光起電力素子のカソード電極に接続されていることを特徴とするソリッドステートリレー。

【請求項2】前記光起電力素子はフォトダイオードの従

2

続接続より成ることを特徴とする特許請求の範囲第1項記載のソリッドステートリレー。

【請求項3】前記サイリスタのN極ゲートが、該光起電力素子のアノード電極に接続され、かつ該サイリスタのP極ゲートが該光起電力素子のカソード電極に接続され、かつ該サイリスタのN極ゲートにアノード電極が接続され、かつ該サイリスタのアノード電極にカソード電極が接続された第1のダイオードと、該サイリスタのP極ゲートにカソード電極が接続され、かつ該サイリスタのカソード電極がアノード電極が接続された第2のダイオードとを有することを特徴とする特許請求の範囲第1項または第2項記載のソリッドステートリレー。

【請求項4】前記サイリスタのN極ゲートが、該光起電力素子のアノード電極に接続され、かつ該サイリスタのN極ゲートにアノード電極が接続され、かつ該サイリス

タのアノード電極にカソード電極が接続されたダイオード有することを特徴とする特許請求の範囲第1項または第2項記載のソリッドステートリレー。

【請求項5】前記サイリスタのP極ゲートが該光起電力素子のカソード電極に接続され、かつ該サイリスタのP極ゲートにカソード電極が接続され、かつ該サイリスタのカソード電極にアノード電極が接続されたダイオードとを有することを特徴とする特許請求の範囲第1項または第2項記載のソリッドステートリレー。

【請求項6】前記サイリスタのN極ゲートが、該光起電力素子のアノード電極に接続され、かつ該サイリスタのP極ゲートが該光起電力素子のカソード電極に接続され、かつ該サイリスタのN極ゲートにコレクタ電極が接続され、かつ該サイリスタのアノード電極にエミッタ電極が接続された第1のNPNフォトトランジスタと、該サイリスタのP極ゲートにコレクタ電極が接続され、かつ該サイリスタのカソード電極がエミッタ電極が接続された第2のNPNフォトトランジスタとを有し、該フォトトランジスタと該光起電力素子を同一の半導体発光素子で駆動することを特徴とする特許請求の範囲第1項または第2項記載のソリッドステートリレー。

【請求項7】前記サイリスタのN極ゲートが、該光起電力素子のアノード電極に接続され、かつ該サイリスタのN極ゲートにコレクタ電極が接続され、かつ該サイリスタのアノード電極にエミッタ電極が接続されたNPNフォトトランジスタを有し、該フォトトランジスタと該光起電力素子を同一の半導体発光素子で駆動することを特徴とする特許請求の範囲第1項または第2項記載のソリッドステートリレー。

【請求項8】前記サイリスタのP極ゲートが該光起電力素子のカソード電極に接続され、かつ該サイリスタのP極ゲートにコレクタ電極が接続され、かつ該サイリスタのカソード電極がエミッタ電極が接続されたNPNフォトトランジスタを有し、該フォトトランジスタと該光起電力素子を同一の半導体発光素子で駆動することを特徴とする特許請求の範囲第1項または第2項記載のソリッドステートリレー。

【請求項9】前記スイッチング素子は、DMOSFETあるいはUMOSFETで構成され、バックゲート電極をソース電極に接続し、開閉する負荷回路をドレイン電極とソース電極に接続したことを特徴とする特許請求の範囲第1項から第8項までのいずれか1項記載のソリッドステートリレー。

【請求項10】DMOSFETあるいはUMOSFETを逆直列に接続し、各々のゲート電極及びソース電極を直接接続し、各々のドレイン電極を負荷回路に接続するようにしたことを特徴とする特許請求の範囲第9項記載のソリッドステートリレー。

【請求項11】スイッチング素子及び半導体発光素子の両方あるいはいずれか一方を除いた残りの全ての素子を

1チップ上に集積したことを特徴とする特許請求の範囲第1項から第10項までのいずれか1項記載のソリッドステートリレー。

【請求項12】すべての素子を化合物半導体の1つのチップ上に集積したことを特徴とする特許請求の範囲第1項から第11項までのいずれか1項記載のソリッドステートリレー。

【請求項13】少なくともサイリスタ及び光起電力素子は、酸化物によって囲まれて、基板から島状に分離された複数の単結晶領域を有する、多結晶シリコン、アルミナ、サファイアあるいは他の多結晶化合物半導体基板上に集積化されていることを特徴とする特許請求の範囲第1項から第12項までのいずれか1項記載のソリッドステートリレー。

【発明の詳細な説明】

産業上の利用分野

本発明はソリッドステートリレーに関するものであり、更に詳述するならば、光カップラー形式のソリッドステートリレーに関するものである。

従来の技術

従来、この種のエンハンスメント形MOSFETを用いたソリッドステートリレーの基本的な構成を第11図に示す。第11図に示すように、入力端子1-1間に印加された電圧により発光ダイオードを点灯させる。その結果、この光を受ける直列接続フォトダイオードからなる光起電力素子の両端に光起電力が発生し、出力素子であるMOSFET22のゲート電極23及びバックゲート電極20に、この光起電力による電圧が印加されることによりMOSFET22がオンして、出力端子7に接続された負荷回路を閉じることになる。

なお、抵抗21は、発光ダイオード2が消灯したことにより、光起電力素子から電圧が発生しなくなった場合、速やかにMOSFET22のゲート電極23およびバックゲート電極20の間に蓄積した電荷が放電するための放電経路を形成するものである。これにより、MOSFET22は、オフして出力端子7に接続した負荷回路は、開放されることになる。

以上が最も基本的なこの種のエンハンスメント形MOSFETを用いたソリッドステートリレーの構成例であるが、通常は実使用に耐えるよう、放電回路を中心に改良が施されている。

このような実際のソリッドステートリレーの構成例を第12図に示して、説明する。

上記の場合と同様、入力端子1-1間に印加された電圧により発光ダイオード2が点灯し、この発生した光により光起電力素子3に起電力が発生する。この起電力による電圧が、逆直列に接続されたエンハンスメント形MOSFET4のゲート電極5及びソース電極6の間に印加され、DMOSFET4がオンして、ドレイン電極13-13間に接続された出力端子7に接続して負荷回路が閉じられる。こ

ここで、DMOSFETとは、二重拡散MOS電界効果トランジスタ (DOUBLE-DIFFUSED MOS FIELD EFFECT TRANSISTOR) である。

一方、ゲート電極5とソース電極6に接続されたディプレッション形MOSFET (JFETでも同じである) 26は、同様に発光ダイオード2が発する光を受ける光起電力素子25から発生する光起電力による電圧がゲート27に印加されるため、オフ状態となる。

従って、出力用のエンハンスメント形DMOSFET4のゲート電極5およびソース電極6間のインピーダンスが非常に高くなり、光起電力素子3で発生した電圧が、そのまま損失を生じないで印加される。それ故、第11図の基本回路の場合の様に抵抗21が接続されている場合に比べて、出力用のエンハンスメント形DMOSFET4がオンするのに要する時間が短縮される。

一方、入力端子1に印加される電圧が無くなり、発光ダイオード2が消灯した場合、光起電力素子3及び25が発生する電圧はなくなる。この時、光起電力素子25の端子間に接続された抵抗24によりディプレッション形MOSFET26のゲート部分の電荷が放電され、ディプレッション形MOSFET26がオンする。これにより、出力用のDMOSFET4のゲート5の部分の電荷が放電されDMOSFET4がオフし、負荷回路が開かれる。ディプレッション形MOSFET26のオン抵抗は第11図の基本回路の放電用抵抗21に比べ大幅に小さいため、DMOSFET4がオフするのに要する時間も短縮される。

第13図に、従来のソリッドステートリレーで放電回路にJFETを用した場合のオフ時の波形を示す。JFETについては、前にも述べた様にディプレッション形MOSFETと同じと考えられるため、回路特性も同様である。オフ時間は600μ秒程度である。

発明が解決しようとする問題点

以上述べてきたように、この種のソリッドステートリレーは、ある程度の改良がなされることにより実用化されてきているが、以下に述べる様なさまざまな欠点を有している。

まず、第12図の構成例において放電用の素子として、ディプレッション形MOSFETを用いているが、この動作を検討すると次の様な問題点が存在する。

まず入力端子に電圧が印加されていない状態では光起電力素子25に電圧が発生しないためディプレッション形MOSFET26はオンしている。この状態で入力端子1-1間に電圧が印加されると、光起電力素子3及び25に起電力が発生するが、ディプレッション形MOSFET26がオン状態のため、光起電力素子3の電圧は、迅速に立ち上がることができない。

光起電力25は、抵抗24に電流を流しながら、ディプレッション形MOSFET26のゲート27に電荷を蓄積する。ディプレッション形MOSFET26のゲート27は見かけ上コンデンサとなるため、光起電力素子25は電荷をゲート27に蓄積

しながら、ゲートのコンデンサ容量と光起電力素子25の内部抵抗及び抵抗24で決まる時定数により電圧を上昇させる。従って、起電力素子25の電圧がディプレッション形MOSFET26のスレッシュホールド電圧を越えて、ディプレッション形MOSFET26がオフするまで、必ず遅延が生ずる。

また、出力用DMOSFET4がオフする際にも同様に、ディプレッション形MOSFET26のゲート部分に蓄積された電荷が抵抗24を通じて放電され、スレッシュホールド電圧以下にならなければディプレッション形MOSFET26がオンしないため、やはり遅延が生ずる。

このように第12図の構成例では、本質的に動作の遅延を生ずる要因が存在するため高速化には限界がある。

また、抵抗24は、上記のように出力用DMOSFET4のオン時間を早くするためには高抵抗であることが望ましく、逆に、オフ時間を早くするためには低抵抗であることが必要になり、矛盾した要求が存在する。このため、結局、中間的な抵抗値となるため、動作遅延の要因を取り除くことができない。

10 以上の問題点の他に、第12図の構成では、ディプレッション形MOSFETを駆動するためにだけ光起電力素子25を必要とし、出力用DMOSFET4の駆動のためには直接は役立たない。このため第12図の構成に比べ光起電力素子が余分に必要となり、コスト高の要因となる。

問題点を解決するための手段

本発明は、上記問題点を解決するため、出力用DMOSFETのゲート電荷の放電回路にサイリスタを用い、更に、そのサイリスタに駆動にダイオードあるいはフォトリレーを設ける。

30 実施例

以下、添付図面を参照して、本発明によるソリッドステートリレーの実施例を説明する。

第1図は、本発明の第1の実施例を示す回路図である。入力端子1-1間に印加された電圧により、発光ダイオード2が点灯し、この発生した光により光起電力素子3に起電力が発生する。そして、サイリスタ8の両端が、それぞれダイオード11及び12を介して光起電力素子3の両端に接続されている。更に、光起電力素子3のアノードとダイオード11のアノードとの接続点に、サイリスタ8のN極ゲートが接続され、光起電力素子3のカソードとダイオード12のカソードとの接続点に、サイリスタ8のP極ゲートが接続されている。

そして、サイリスタ8のアノードとカソードとが、それぞれ、エンハンスメント形DMOSFET4のゲート電極5及びソース電極6に接続され、DMOSFET4がオンして、ドレイン電極13-13間に接続された出力端子7に接続して負荷回路が閉じられる。

以上のソリッドステートリレー回路において、第12図の場合のディプレッション形MOSFET26の代わりに、サイリスタ8を用いているため、最初に点灯した状態におい

てもサイリスタはオフ状態であり、抵抗値が極めて高いため、光起電力素子3で発生した起電力による電荷はダイオード11、12を通して出力用DMOSFET4のゲート5にただちに印加される。

このように、光起電力素子3からの電流がダイオード11、12のアノード側からカソード側にながれるため、サイリスタ8のN極ゲート、P極ゲート10のいずれも強く逆にバイアスされる。従って、外部からのノイズ等にたいしても、十分安定しており、誤動作してサイリスタ8がオンすることはない。

次に、入力端子1に印加されていた電圧が無くなり、発光ダイオードが消灯した場合、光起電力3の発生電圧はなくなるが、ダイオード11、12およびサイリスタ8により出力用エンハンスメントDMOSFET4のゲート電圧は、そのまま保たれている。この状態で光起電力素子では自己放電により電圧が低下する。この電圧低下により、まずダイオード11、12がオフ状態になる。このためサイリスタ8のN極ゲート、P極ゲートのインピーダンスがきわめて高くなり、極く僅かの電流でサイリスタ8がオンするようになる。更に、電圧が低下するとN極ゲートあるいはP極ゲートが順方向にバイアスされる。ゲートの感度がきわめて高いため、光起電力素子のわずかな自己放電電流でも容易にサイリスタ8はオンする。

サイリスタ8は自己保持特性を持つため、一度オンすると、アノード、カソード間の電位が1V程度に下がるまでオン状態を保つ。このため、出力用エンハンスメントDMOSFET4のゲート5に蓄積された電荷は、サイリスタ8を通して速やか放電されDMOSFET4はオフする。

実際の放電特性について調べると以下の様になる。まず光起電力素子の放電特性の例として、第2図に光起電力素子の一定の入射光に対する出力電流対出力電圧特性を示し、また第3図に電圧に対する導通電流特性を示す。

第2図及び第3図から、最大9.67Vに達していた光起電力素子が、自己放電により約8V程度（ダイオードオン電圧の2倍と、サイリスタのゲートを順方向にバイアスする電圧とを足したものを9.67Vから引いた値）まで下がる時間を求める。光起電力素子は、第3図に示すように、ツエナダイオードの順方向電流の非線形性（一般的によく知られているダイオード特性）を示し、第3図からわかるように、この間に導通電流は約4.4μAから約0.25μAまで対数的に減少する。

一方、代表的な光起電力素子の容量は3pFのため、この容量と電圧に見合った電荷が、光起電力素子に蓄積されており、この電荷を第3図に示す電流-電圧特性をもった光起電力素子を通して放電した場合、約7.7μs程度で8Vまで光起電力素子の電圧が下がる。

第1の実施例の実際のオフ時の動作波形を第4図に示す。ここでは入力が入力オフしてから約160μsで出力がオフしている。このオフ時間には前に述べた、光起電力素

子3の自己放電時間以外にサイリスタ8のオン時間、出力用エンハンスメントDMOSFET4のゲート放電時間及びオフ時間等がふくまれており、光起電力素子の自己放電時間に比べ、大幅に遅くなっているが、それでも第13図に示した従来までの放電回路によるオフ時間に比べると、約4倍程度高速化されているのが判る。

第5図は本発明の第2の実施例を示す回路図である。第1の実施例から、N極ゲートに接続されていたダイオードを除き、サイリスタのアノードと光起電力のアノードとを直接接続し、N極ゲートは高インピーダンスの状態にした。従って、第2の実施例では、入力の有無により第1の実施例と同様に、サイリスタのP極ゲートが、逆バイアスと高インピーダンスの状態との間を変化し、サイリスタをオン、オフさせる。一方、N極ゲートが常時高インピーダンス状態にあるため、第1の実施例に比べればノイズに弱くなるが、その代わりに、ダイオードのオン電圧による電圧ロスは無くなる。

第6図は、本発明の第3の実施例を示す回路図である。第1の実施例から、P極ゲートに接続されていたダイオードを除き、サイリスタのカソードと、光起電力素子のカソードを直接接続し、P極ゲートは高インピーダンスの状態にしたものである。動作原理、回路の特徴等は、P極ゲートがN極ゲートに変わっただけで第2の実施例と同様である。

第7図は、本発明の第4の実施例を示すものである。第1の実施例でのダイオード11、12をNPNフォトトランジスタ15、16に置き変えたものである。ダイオードのアノードをフォトトランジスタのコレクターに、またカソードを、エミッタに置き変えて接続してある。フォトダイオードのベースには、光起電力素子3と同様に、発光ダイオード2の光が照射するようにする。

この回路では、フォトトランジスタ15、16が発光ダイオード2に光によりオンする。この回路の特徴は、フォトトランジスタのオンの電圧が、ダイオードよりかなり低く、ほぼ短絡状態になる点である。このため、第1の実施例に比べ、Nゲート、Pゲートの逆バイアスが弱く、ノイズには若干弱くなる。その代り、オン電圧が低いため、オン電圧によるロスは低減できる。

オフ時には、第1の実施例と同様に、フォトトランジスタがオフすることにより、Nゲート及びPゲートが高インピーダンスになり、サイリスタがオンする。その際、フォトトランジスタがオフするまでに、ベースのキャリアの消滅時間があるため、オフ時間は、若干のびる傾向にある。なおフォトトランジスタはPNP形を用いても逆に接続すれば同様である。

第8図は、本発明の第5の実施例を示すものであり、第4の実施例において、N極ゲートに接続されていたフォトトランジスタを除き、サイリスタのアノードと光起電力素子のアノードとを直接接続し、N極ゲートは高インピーダンスの状態にしたものである。第4の実施例と同

様に、P極ゲートのフォトトランジスタが発光ダイオードの光の有無により、オン、オフすることによりサイリスタがオフ、オンすることになる。第4の実施例に比べフォトトランジスタがへるため、その分チップ面積が減少するがノイズにはさらに弱くなる。

第9図は、本発明の第6の実施例を示すものである。第4の実施例からP極ゲートに接続されていたフォトトランジスタを除き、サイリスタのカソードと光起電力素子のカソードを直接接続し、P極ゲートは、高インピーダンスの状態にしたものである。動作原理、回路の特徴等は、P極ゲートがN極ゲートに変わっただけで、第4の実施例と同様である。

次に、本回路の回路を集積化した場合の実施例を図面を参照して説明する。第10図は、本発明の第1の実施例の回路を集積化した場合の一部の回路の断面を示す断面図である。光起電力素子3、サイリスタ8、ダイオード11、12は、それぞれ二酸化シリコン層18により多結晶シリコン基板19から絶縁分離して形成された単結晶領域17に形成されている。各単結晶領域17は、二酸化シリコン層18により多結晶シリコン基板19から絶縁分離されているので、光起電力素子で発生する電荷が基板19にリークすることなく有効に作用する。

出力用エンハンスメントDMOSFETについては、負荷の種類が多い時は別構成にできる。このように構成した場合、集積回路を構成する素子がすべてバイポーラプロセスで製造可能となるため、製造上有利である。

また、単結晶領域が化合物半導体の場合、発光ダイオードを含む全回路素子を上記と同様の構成で集積化可能である。基板については、多結晶シリコン以外にアルミナ、サファイア、ガラス等の基板を用いても同様である。

なお、上記の実施例においては、出力用素子はすべてエンハンスメント形DMOSFETの場合についてのみ説明を行なったが、同様な動作を行なう他のJFET及びMOSFET（例えば、UMOSFET）等についても同様な効果が得られることは言うまでもない。ここで、DMOSFETとは、U溝形MOSFET（U groove MOSFET）である。また、ディプレッション形のFETについても、ゲートとソースに印加する電圧を逆転させるだけで、ノーマルクローズ形のソリッドステートリレーを容易に構成できる。

発明の効果

以上説明したように、本発明によるソリッドステートリレーは、サイリスタと、ダイオードあるいはフォトトランジスタと、光起電力素子とを組合せることにより、高速で動作し、かつ低価格で実現できる。

【図面の簡単な説明】

第1図は、本発明のソリッドステートの回路の、第1の実施例を示す回路図である。

第2図は、本発明のソリッドステートリレーの第1の実

施例における光起電力素子の発生電圧と出力電流の特性を示す特性図である。

第3図は、本発明のソリッドステートリレーの第1の実施例における光起電力素子に外部から電圧を印加した

（但し光起電力素子には光は当たっていない）場合の、印加電圧と導電電流の特性を示す特性図である。

第4図は、本発明のソリッドステートリレーの第1の実施例におけるオフ時の波形を示す図である。

第5図は、本発明のソリッドステートリレーの第2の実施例を示す回路図である。

第6図は、本発明のソリッドステートリレーの第3の実施例を示す回路図である。

第7図は、本発明のソリッドステートリレーの第4の実施例を示す回路図である。

第8図は、本発明のソリッドステートリレーの第5の実施例を示す回路図である。

第9図は、本発明のソリッドステートリレーの第6の実施例を示す回路図である。

第10図は、本発明のソリッドステートリレーの第1の実施例の回路を集積化した場合の集積回路の一部の断面を示す断面図である。

第11図は、従来のソリッドステートリレーの基本的な回路を示す回路図である。

第12図は、従来の回路によるソリッドステートリレーを示す回路図である。

第13図は、第12図で示した従来のソリッドステートリレーのOFF時の波形を示す図である。

（主な参照番号）

1……入力端子、2……発光ダイオード

30 3……光起電力素子

4……エンハンスメント形DMOSFET

5……エンハンスメント形DMOSFETのゲート

6……エンハンスメント形DMOSFETのソース

7……出力端子、8……サイリスタ

9……サイリスタのN極ゲート

10……サイリスタのP極ゲート

11、12……ダイオード、13……エンハンスメント形DMOSFETのドレイン

15、16……フォトトランジスタ

40 17……単結晶層、18……二酸化シリコン層

19……多結晶シリコン層

20……MOSFETのバックゲート

21……抵抗

22……エンハンスメント形MOSFET

23……エンハンスメント形MOSFETのゲート

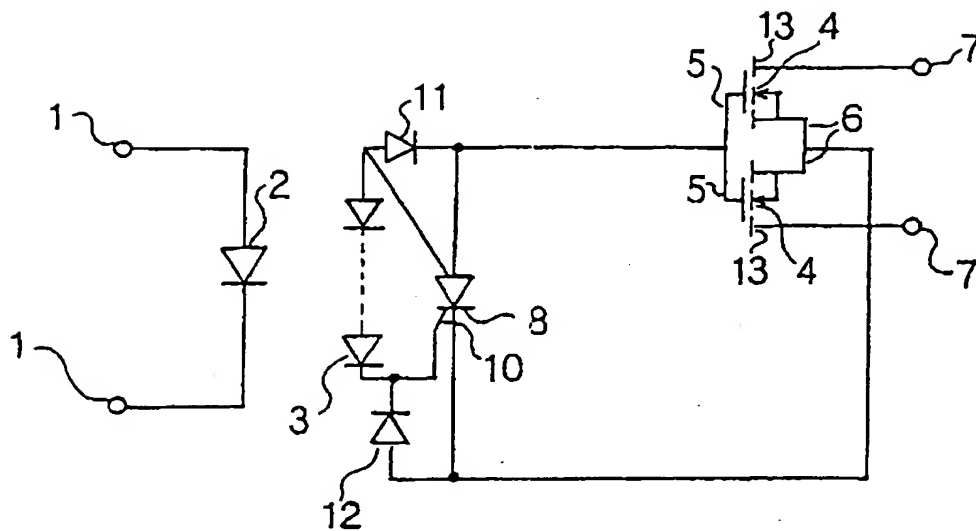
24……抵抗、25……光起電力素子

26……ディプレッション形MOSFET

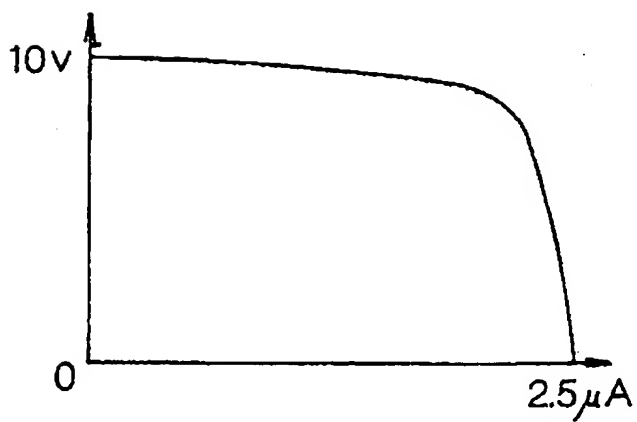
27……ディプレッション形MOSFETのゲート、28……出力

波形

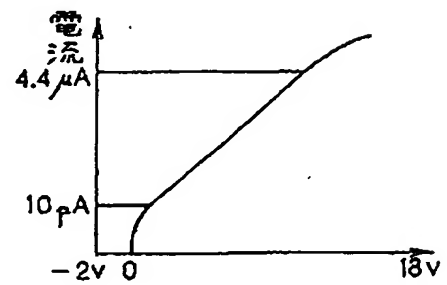
【第1図】



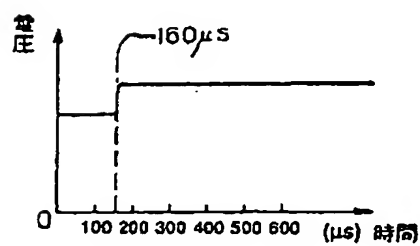
【第2図】



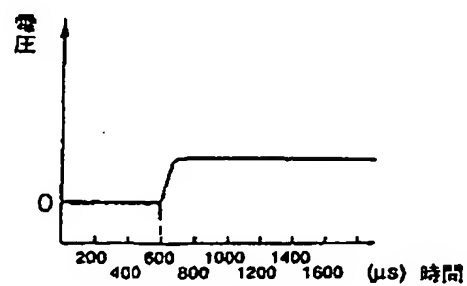
【第3図】



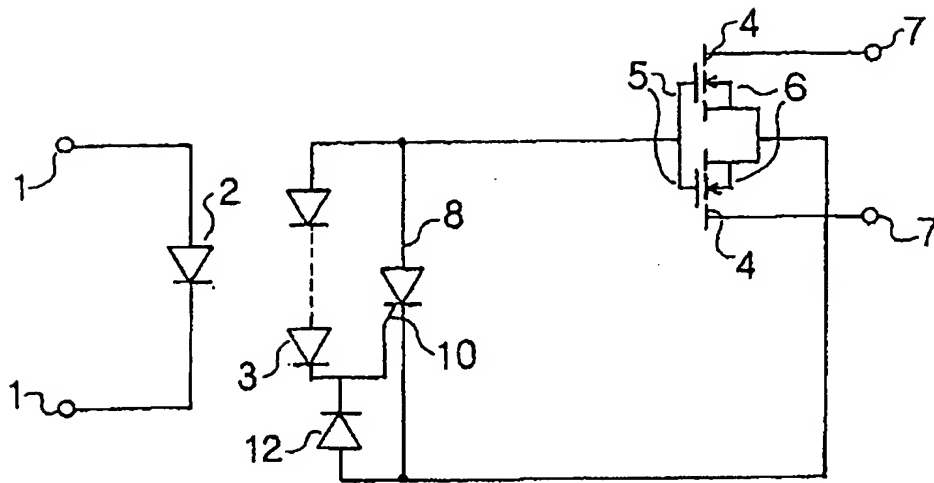
【第4図】



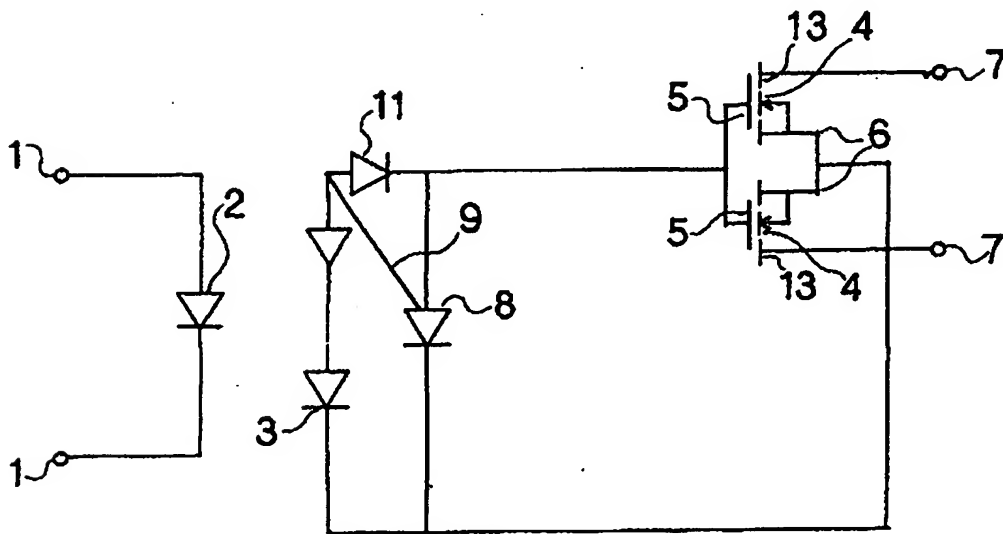
【第13図】



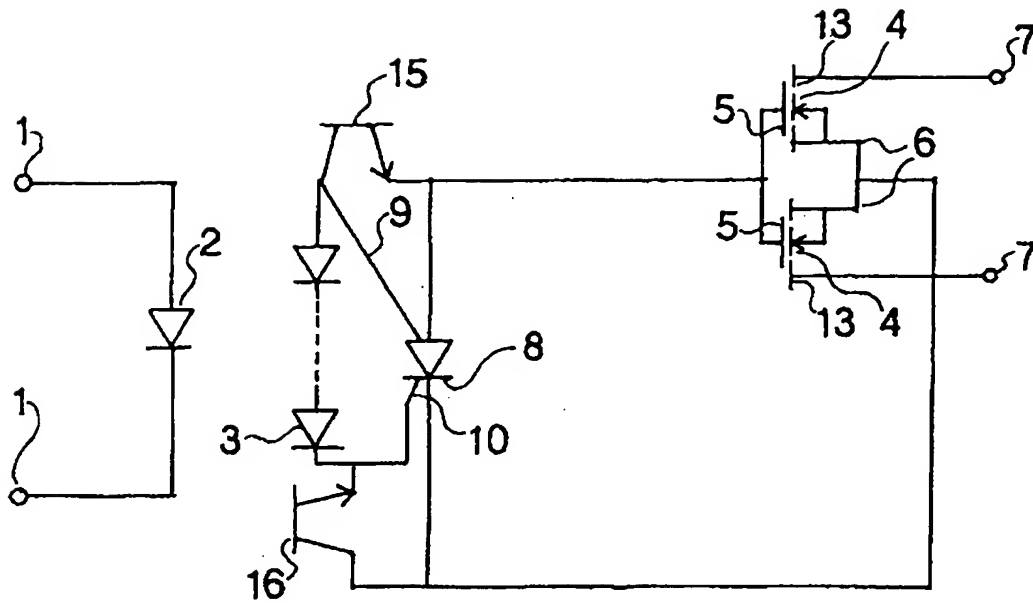
【第5図】



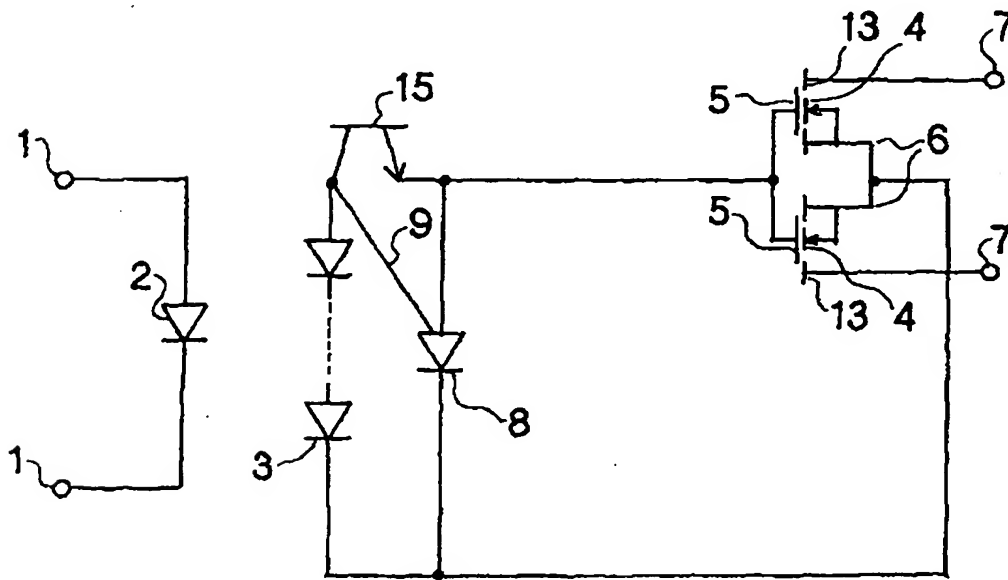
【第6図】



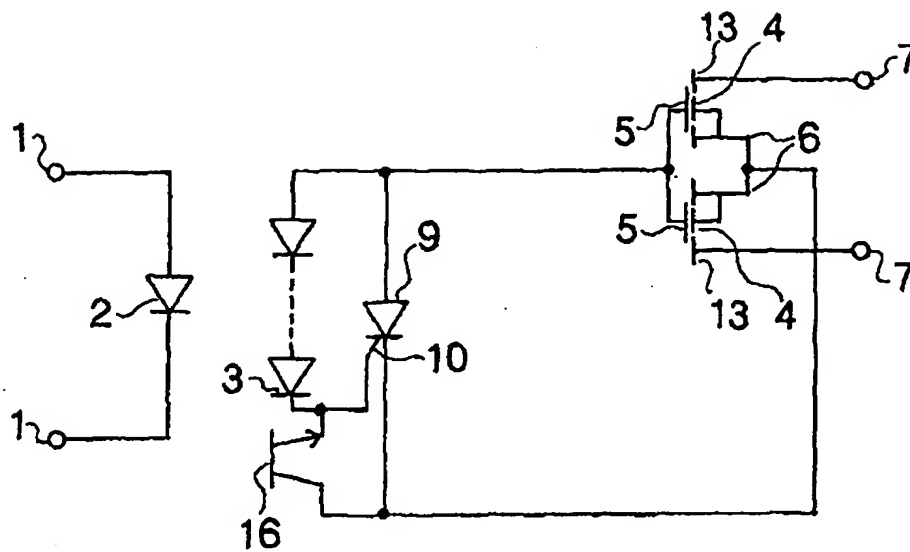
【第7図】



【第8図】

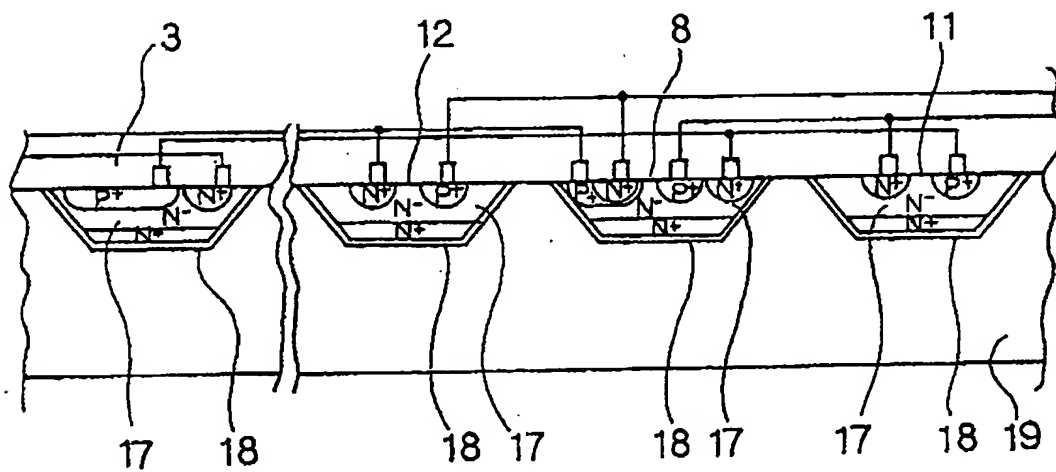


【第9図】

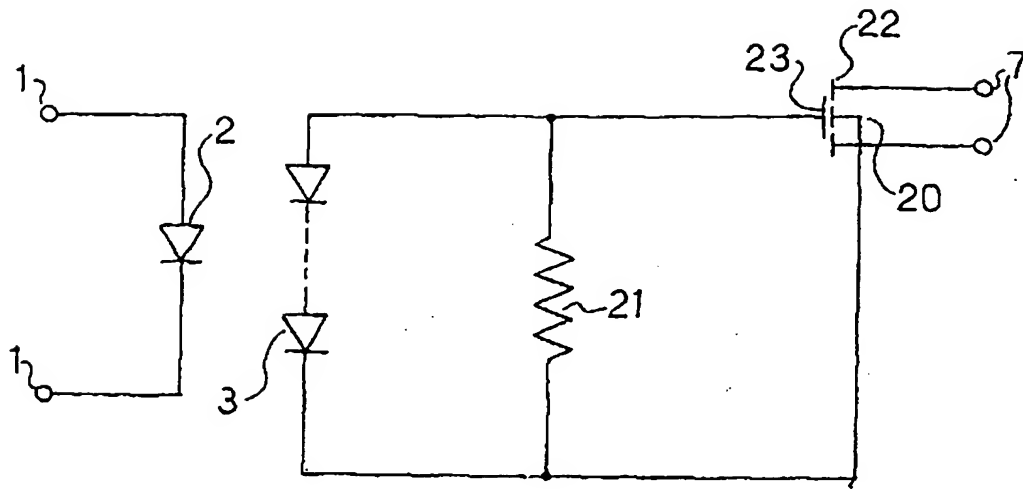


【第10図】

17・・・単結晶層 18・・・二酸化シリコン層
 19・・・多結晶シリコン層



【第11図】



【第12図】

